

PCT / IB 02 / 05619



Europäisches  
Patentamt

European  
Patent Office

Office européen  
des brevets

REC'D 07 JAN 2003	
WIPO	PCT

Bescheinigung

Certificate

Attestation

Die angehefteten Unterla-  
gen stimmen mit der  
ursprünglich eingereichten  
Fassung der auf dem näch-  
sten Blatt bezeichneten  
europäischen Patentanmel-  
dung überein.

The attached documents  
are exact copies of the  
European patent application  
described on the following  
page, as originally filed.

Les documents fixés à  
cette attestation sont  
conformes à la version  
initialement déposée de  
la demande de brevet  
européen spécifiée à la  
page suivante.

Patentanmeldung Nr.	Patent application No.	Demande de brevet n°
	01403383.1	

**PRIORITY  
DOCUMENT**

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

Der Präsident des Europäischen Patentamts;  
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

  
R C van Dijk



Anmeldung Nr:  
Application no.: 01403383.1  
Demande no:

Anmeldetag:  
Date of filing: 28.12.01  
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

Koninklijke Philips Electronics N.V.  
Groenewoudseweg 1  
5621 BA Eindhoven  
PAYS-BAS

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:  
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.  
If no title is shown please refer to the description.  
Si aucun titre n'est indiqué se référer à la description.)

Circuit amplificateur régénérateur

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)  
revendiquée(s)  
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/  
Classification internationale des brevets:

H03G/

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of  
filing/Etats contractants désignées lors du dépôt:

AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE TR

## « CIRCUIT AMPLIFICATEUR REGENERATEUR »

### Description

#### 5      **Domaine de l'Invention**

10      L'invention se situe dans le domaine des circuits électroniques destinés à la remise en forme de signaux d'entrée en particulier de signaux numériques. Elle concerne plus particulièrement les circuits intégrés utilisant des technologies de transistors à effet de champ tel que les métal semiconducteur (MESFET), à grande mobilité d'électrons, pseudo-morphique ou métamorphique (HEMT, PHEMT, MHEMT) utilisant des matériaux III/V, par exemple GaAs, GaInAs, InP, utilisés en particulier dans le domaine des télécommunications numériques à grande vitesse, pour la remise en forme d'un signal électrique avant sa conversion en signal optique.

#### 15      **Etat de la Technique**

20      Dans les fonctions de remise en forme numérique un élément de base est généralement constitué par un étage amplificateur rapide ayant un faible gain linéaire par exemple compris entre 0 et 10 dB, fonctionnant en régime de commutation de façon à saturer les niveaux haut et bas du signal, en régénérant ainsi ces niveaux baptisés niveaux logiques 1 et 0 respectivement. L'excursion en tension entre ces deux niveaux logiques est généralement comprise entre 10mV et 2V. Une valeur typique est par exemple 500mV. Cet étage amplificateur peut être un amplificateur source commune à sortie unique comme représenté figure 1A ou un amplificateur différentiel source commune avec masse virtuelle, comme représenté figure 1B. Sur la figure 1A un signal d'entrée est appliqué à la grille 1a d'un transistor T5 dont la source est couplée à une source de polarisation Vss et le drain à une source de polarisation Vdd au travers d'une impédance de charge ZL. Le signal de sortie est présent aux bornes de cette charge ZL. Sur la figure 1B un signal d'entrée est appliqué à la grille 1a d'un transistor T5, et un signal complémentaire d'entrée est appliqué à la grille 1b d'un transistor T6. Les sources des transistors T5 et T6 sont communes et couplées à une même source de polarisation Vss, par exemple au travers d'un générateur de courant 11. Les drains des transistors T5 et T6 sont connectés aux impédances de charge ZLa et ZLb respectivement. Les deux autres extrémités de chacune de ces charges sont connectées l'une à l'autre, en un nœud commun, couplé à une même source de polarisation Vdd. Le signal de sortie et le signal de sortie complémentaire sont présents aux bornes de chacune des impédances de charge ZLa et ZLb respectivement. De façon connue ces amplificateurs en mode simple ou différentiel peuvent être mis en cascade. Dans ce cas un étage d'adaptation pour adaptation d'impédance et de décalage de niveau de tension peut être inséré entre les étages d'amplification numérique. Pour la

régénération d'un signal, il suffit que le niveau de gain de chacun des étages  
 d'amplification soit suffisant pour amener les niveaux haut et bas du signal en zone de  
 saturation, ce qui remet en forme les fronts, régénère les niveaux logiques, et atténue le  
 bruit sur les niveaux logiques. En conséquence le gain linéaire de chaque étage peut être  
 5 relativement faible, typiquement compris entre 0 et 10 dB. L'avantage connu d'une  
 réduction du gain linéaire est de permettre un accroissement de la largeur de bande  
 passante. Dans les fonctions de traitement ou de régénération d'un signal utilisant des  
 paires différentielles comme structure de base, le niveau logique 1 est défini par le niveau  
 Vdd de polarisation de drain qui est le niveau élevé de polarisation, éventuellement avec  
 10 un décalage de tension constant. L'excursion de tension sw entre les niveaux logiques haut  
 et bas est définie par  $sw = I_0 * Z_L$  où  $I_0$  est le courant total crête à crête circulant dans des  
 charges d'impédance  $Z_L$  de la paire différentielle. Ce courant qui est tiré de la source  
 d'alimentation Vdd des charges d'impédance  $Z_L$  de la paire différentielle ne varie pas en  
 fonction de l'état logique présent sur cette paire. Il en découle que l'impédance du chemin  
 15 entre la source d'alimentation Vdd et le nœud commun entre les deux charges  
 d'impédance  $Z_L$  ne varie pas non plus. Donc que la paire différentielle n'est pas sensible à  
 la manière dont le chemin entre la source d'alimentation Vdd et le nœud commun entre les  
 deux charges d'impédance  $Z_L$  est physiquement réalisé. De plus, le courant  $I_0$ , qui peut  
 être fixé par un générateur de courant placé entre la source commune de T5 et T6 et la  
 20 source de polarisation Vss, peut être défini en fonction de paramètres technologiquement  
 très stables, par exemple en utilisant un miroir de courant. Il résulte que les circuits  
 logiques utilisant des paires différentielles comme structure de base ont des niveaux  
 logiques 1 et 0 constants et stables, c'est à dire qu'ils sont également peu sensibles à des  
 fluctuations de paramètres tels que la température, le tension d'alimentation et la  
 25 dispersion technologique.

Cependant, un inconvénient connu de cet état de la technique provient des  
 temps de commutation relativement élevés.

Par rapport à cet état de la technique l'invention vise à créer un circuit de  
 régénération d'un signal numérique d'entrée en un signal de sortie ayant un temps de  
 30 commutation bref, tout en conservant les avantages de stabilité et de robustesse de paire  
 différentielle, tels que nous venons de les décrire ci-dessus.

Dans ce qui suit, nous convenons d'appeler transistor haut et transistor bas,  
 deux transistors dont les électrodes sont polarisées à un potentiel de tension  
 comparativement plus élevé pour le transistor dit 'transistor haut' que pour le transistor dit  
 35 'transistor bas'. De la même manière, dans le cas d'un montage qui a deux entrées, nous  
 convenons d'appeler entrée haute et entrée basse, deux entrées dont le potentiel de  
 tension est comparativement plus élevé pour l'entrée dite 'haute' que pour l'entrée dite  
 'basse'. Dans les figures annexées, les transistors hauts et les entrées hautes sont  
 représentées au-dessus des transistors bas et des entrées basses correspondantes.

Selon l'invention il est proposé une nouvelle structure d'étage amplificateur différentiel destiné à former un signal de sortie qui est un signal régénéré à partir d'un signal d'entrée et d'un signal complémentaire de ce signal d'entrée formé à partir du signal d'entrée. Des moyens pour produire un signal complémentaire d'un signal sont en eux-mêmes connus, et ne seront pas décrits dans la présente description.

L'amplificateur qui fait l'objet de l'invention comporte un étage d'entrée constitué par une paire d'amplificateurs push pull ayant une paire de transistors bas, un premier et un second, et une paire de transistors hauts, un premier et un second. Le premier transistor bas et le premier transistor entrée basse et une entrée haute et une première sortie. Il en est de même pour les seconds transistors de chaque paire. L'étage d'entrée est ainsi formé par une paire d'amplificateurs push pull, un premier et un second. L'entrée basse de commande du premier transistor bas de la paire de transistors bas reçoit un signal qui est complémentaire de celui reçu par l'entrée basse de commande du second transistor bas. Il en va de même pour les entrées des transistors hauts. De façon connue, puisque les amplificateurs sont push pull, il est clair que le signal d'entrée reçu sur l'entrée haute du transistor haut du premier amplificateur push pull est complémentaire du signal d'entrée reçu par l'entrée basse du premier transistor bas dudit amplificateur push pull. Il en va de même pour les transistors haut et bas du second amplificateur push pull. Chacune des première et seconde sorties des premier et second amplificateurs push pull est couplée à une entrée d'une paire différentielle dont la sortie porte un signal de sortie qui est un signal régénéré à partir du signal d'entrée. Comme dans l'art antérieur décrit avec la figure 1B, un signal de sortie et un signal de sortie complémentaire sont présent aux bornes d'impédances de charge ZLa et ZLb respectivement.

L'invention concerne donc un circuit amplificateur différentiel régénérateur de signaux numériques complémentaires comportant une paire différentielle de transistors ayant un premier et un second transistors de la paire différentielle, le premier transistor de la paire ayant une première entrée de contrôle et une première et une seconde électrodes, et le second transistor de la paire ayant une seconde entrée de contrôle et une première et une seconde électrodes, caractérisé en ce qu'il comporte en amont de la paire différentielle une paire d'amplificateurs push pull, composée d'un premier et d'un second amplificateurs push pull, ayant respectivement une première et une seconde entrées basses couplées respectivement à une source du signal d'entrée complémentaire et à une source du signal d'entrée, une première et une seconde entrées hautes couplées respectivement à une source du signal d'entrée et à une source du signal d'entrée complémentaire, une première et une seconde sortie, les première et seconde sorties de la paire d'amplificateurs push pull étant couplées respectivement aux première et seconde entrées de contrôle des premier et second transistors de la paire différentielle. Dans le mode de réalisation préféré les transistors de la paire différentielle sont des transistors à effet de champs. De préférence,

dans le mode général de réalisation ou dans le mode préféré, les transistors constituant les étages haut et bas de chaque amplificateur push pull sont des transistors à effet de champs.

## 5 **Liste des Figures**

Un exemple de réalisation et des variantes, ainsi que le fonctionnement d'un circuit présentant les caractéristiques de l'invention seront maintenant décrits en regard des dessins annexés dans lesquels :

10 les figures 1A et 1B, déjà décrites représentent des exemples connus d'amplificateur de signal numérique source commune ;

la figure 2 est un schéma représentant un exemple de réalisation de l'invention ; et

la figure 3 représente un étage d'adaptation qui peut en variante de réalisation de l'invention être présent en entrée du circuit représenté figure 2.

15 Dans la description qui va suivre les éléments ayant même fonction selon l'art antérieur ou selon la présente invention portent le même numéro de référence dans toutes les figures.

## **Description de mises en œuvres de l'Invention**

20 La figure 2 représente un circuit amplificateur différentiel régénérateur de signaux numériques complémentaires l'un de l'autre selon l'invention. De façon connue ce circuit inclut une paire différentielle de transistors T5, T6 respectivement, par exemple comme décrit ci-après en liaison avec la figure 2, à effet de champ. Le premier T5 et le second T6 transistors de la paire différentielle, ont chacun une première source 9a, 9b  
25 respectivement, un premier et un second drain 8a, 8b respectivement et une première 1a et une seconde 1b grille. Conformément à l'invention le circuit amplificateur différentiel comporte en amont de la paire différentielle une paire d'amplificateurs push pull, composée d'un premier 12a et d'un second 12b amplificateurs push pull, ayant respectivement une première Lb et une seconde L entrées basses couplées respectivement à une source du  
30 signal d'entrée complémentaire et à une source du signal d'entrée, une première H et une seconde Hb entrées hautes couplées respectivement à une source du signal d'entrée et à une source complémentaire du signal d'entrée. Les amplificateurs push pull 12a, 12b ont une première 13a et une seconde 13b sorties. Les sorties 13a, 13b sont couplées respectivement aux première 1a et seconde 1b grilles des premier T5 et second T6  
35 transistors de la paire différentielle. Le signal régénéré est présent en sortie Out du transistor T6, c'est à dire sur le drain 8b de ce transistor. Le signal régénéré complémentaire est présent en sortie Outb du transistor T5, c'est à dire sur le drain 8a de ce transistor.



Chacun des amplificateurs push pull 12a, 12b est dans l'exemple représenté figure 2, composé de deux transistors à effet de champs T1, T3 et T2, T4 respectivement, un premier et un second transistor bas T1, T2 respectivement et un premier et un second transistor haut T3, T4 respectivement. De préférence les transistors bas T1, T2 sont appariés entre eux, c'est à dire qu'ils présentent des caractéristiques aussi identiques l'une à l'autre que possible. Il en est de même pour les transistors hauts T3, T4. L'amplificateur push pull ainsi constitué est appelé un push pull différentiel. La première sortie 13a de l'amplificateur push pull différentiel est constituée par un nœud de connexion entre la source du premier transistor haut T3 et le drain du premier transistor bas T1. La seconde sortie 13b de l'amplificateur push pull différentiel est constituée par un nœud de connexion entre la source du second transistor haut T4 et le drain du second transistor bas T2. Il convient de noter que les commandes complémentaires de la paire différentielle T5, T6 véhiculent des impulsions de sens opposé. La simultanéité des impulsions est très importante. Elle est favorisée par la structure différentielle du push-pull proposé. Les drains 17a, 17b de chacun des transistors hauts T3, T4 des amplificateurs push pull 12a, 12b sont reliés à une première source de tension de drain Vdd1. Les drains 8a, 8b de chacun des transistors T5, T6 de la paire différentielle sont reliés à une seconde source de tension de drain Vdd2 au travers d'impédances ZLb et ZL respectivement. La polarisation des sources 15a, 15b de chacun des transistors bas T1, T2 des amplificateurs push pull 12a, 12b est assurée par le fait que ces sources 15a, 15b sont reliées à une première source de tension de source Vss1 au travers d'un premier générateur de courant 14. La polarisation des sources 9a, 9b de chacun des transistors T5, T6 de la paire différentielle est assurée par le fait que ces sources sont reliées à une seconde source de tension de source Vss2 au travers d'un second générateur de courant 11. Les premier ou second générateurs 11, 14 de polarisations des sources peuvent être des générateurs idéaux ou non. Ils peuvent aussi être remplacés ou complétés par une impédance.

Au moment de la transition des signaux de commande, les amplificateurs push pull 12a, 12b amplifient le signal numérique en augmentant son amplitude. L'amplitude typique en sortie des push pull peut être par exemple de 1 à 2V. La paire différentielle constituée par les transistors T5 et T6 est alors attaquée par un signal de large amplitude. Le temps de commutation des transistors T5 et T6 est alors essentiellement dépendant de l'aptitude de l'étage attaquant à fournir les courants transitoires brefs mais intenses nécessaire à la commutation rapide des transistors T5 et T6. Or l'utilisation du push-pull différentiel pour piloter la paire différentielle constituée par les transistors T5 et T6 permet justement de présenter aux grilles 1a, 1b des transistors de cette paire différentielle une faible impédance et de fournir lors des commutations les impulsions de courant brèves mais intenses requises. Ces impulsions de courant sont plus importantes que celles obtenues avec des étages plus classiques mêmes réputés à faible impédance, par exemple suiveurs de tension. Ces impulsions de courant, jointe à la forte amplitude du signal

d'attaque, permettent de faire commuter la paire différentielle constituée des transistors T5 et T6 de manière beaucoup plus rapide.

La description ci-dessus a été effectuée dans le mode préféré de réalisation, c'est à dire avec des transistors à effets de champ. L'invention peut aussi être réalisée par exemple avec des transistors bipolaires, par exemple NPN. Dans ce cas les sources sont à remplacer par des émetteurs, les drains par des collecteurs et les grilles par les bases de ces transistors NPN. L'invention peut aussi être réalisée avec les adaptations nécessaires, à la portée de l'homme du métier avec des transistors PNP.

La paire différentielle T5, T6 peut être, soit une paire différentielle simple comme décrit ci dessus, soit une paire différentielle intégrée dans une fonction plus complexe, suivant les techniques utilisées dans les circuits logiques à transistors à effet de champ à sources couplées (SCFL). Comme les portes SCFL comportent plusieurs paires différentielles imbriquées, on peut utiliser l'invention pour la commande de toutes ou d'une partie de ces paires différentielles. Ceci permet d'augmenter le débit maximal réalisable dans une technologie donnée.

Afin de piloter l'amplificateur différentiel, un étage d'adaptation peut être nécessaire. Un tel circuit d'adaptation a de préférence une impédance de sortie faible et délivre à partir du signal d'entrée et d'un signal complémentaire dudit signal d'entrée des signaux complémentaires bas et hauts décalés entre eux d'une différence de potentiel convenable pour polariser correctement les entrées basses et hautes de la paire d'amplificateurs push pull. A titre d'exemple la différence de potentiel entre les entrées hautes et basses peut faire de l'ordre de 1 à 2V, tandis que l'excursion entre niveaux logiques peut faire entre 200 et 600mV par exemple.

A titre d'exemple, un tel circuit d'adaptation comporte une paire de transistors T7, T8 ayant chacun une entrée de contrôle et des électrodes. Par la suite, nous désignerons cette paire de transistors comme la paire suiveuse. Les entrées de contrôle des transistors T7, T8 de la paire suiveuse reçoivent l'une le signal d'entrée et l'autre un signal complémentaire de ce signal. Chaque transistor T7, T8 de la paire suiveuse est monté de façon à ce que l'une des électrodes porte un signal suiveur du signal reçu sur son entrée de contrôle. Cette électrode est couplée à une entrée de moyens de changement de niveau du signal présent sur cette électrode. Un signal présent sur une sortie de ces moyens de changement de niveau est un signal de même valeur logique que le signal présent en entrée de ces moyens, mais présentant un décalage de niveau de tension, et les signaux complémentaires bas et hauts alimentant les entrées basses et hautes de la paire d'amplificateurs push pull sont alors constitués par des nœuds de connexion se trouvant en entrée et en sortie desdits moyens de changement de niveau.

Un exemple d'un tel circuit 30 d'adaptation est représenté figure 3. Le circuit 30 comprend essentiellement une paire suiveuse de transistors T7, T8, par exemple comme représenté figure 3, à effet de champ. Ces transistors T7, T8 sont montés en



source suiveuse. Le circuit 30 est ainsi un circuit abaisseur d'impédance. Le premier transistor T7 de la paire suiveuse reçoit sur sa grille 18a un signal complémentaire Inb d'un signal d'entrée In à régénérer, reçu lui, sur la grille 18b du second transistor T8 de la paire suiveuse. Les sources 19a, 19b des transistors T7, T8 sont couplées respectivement à des troisièmes sources de courants 20a, 20b du circuit d'adaptation, elles même connectées à une troisième tension de source Vss3. Chacune des sources 19a, 19b est couplée à son troisième générateur de courant 20a, 20b respectivement au travers d'une impédance Zs. Les impédance Zs et le générateur de courant 20a, 20b associé à chacune d'elles changent le niveau du signal suiveur présent en entrée de l'impédance Zs. Dans l'exemple représenté, le signal présent en sortie des moyens de changement de niveau, c'est à dire du côté de l'impédance Zs qui n'est pas connectée à la source 19a, 19b, est un signal de même valeur logique mais de potentiel de tension plus bas que le signal présent en entrée des moyens de changement de niveau, c'est à dire du côté de l'impédance Zs connecté à la source 19a, 19b. Les drains 23a, 23b de chacun des transistors T7, T8 sont connectées à une troisième source de tension de drain Vdd3. Les connexions de ce circuit 30 d'adaptation, au circuit représenté figure 2 seront maintenant explicitées. Le point de connexion 19a de la source du transistor T7 et de l'impédance de charge Zs connectée à cette source 19a porte le signal haut Hb. La source 19a du transistor T7 est donc connectée à l'entrée haute Hb du transistor haut T4 du second amplificateur 12b de la paire d'amplificateurs push pull. Un point de connexion 21a en sortie de l'impédance Zs de charge du transistor T7 porte le signal Lb. Le point 21a est donc connecté à l'entrée Lb du transistor bas T1 du premier amplificateur push pull 12a de la paire d'amplificateurs push pull. De façon symétrique le point 19b qui porte le signal d'entrée haut H est connecté à l'entrée H du transistor haut T3 du premier amplificateur push pull 12a de la paire d'amplificateurs push pull. Enfin un point de connexion 21b entre l'impédance de charge Zs du second transistor T8 de la paire suiveuse et le premier générateur de courant 20b qui porte le signal bas L est connecté à l'entrée L du transistor bas T2 du second amplificateur 12b de la paire d'amplificateurs push pull. De façon optionnelle des quatrièmes générateurs de courant 22a, 22b du circuit 30 d'adaptation sont connectés respectivement entre les sources 19a, 19b et la troisième source de tension de source Vss3.

Les nœuds prévus pour les alimentations de tension Vdd1, Vdd2 et Vdd3 des drains de l'amplificateur push pull 12a, 12b, de la paire différentielle T5, T6 et des transistors T7, T8 du circuit d'adaptation 30, respectivement peuvent être polarisés à des valeurs de tension différentes ou égales, il en est de même pour les nœuds d'alimentation Vss1, Vss2 et Vss3. Dans un but de réduction du nombre des tensions d'alimentation, il est donc possible de relier d'une part Vdd1, Vdd2 et Vdd3 à une alimentation globale Vdd, et de relier d'autre part Vss1, Vss2 et Vss3 à une alimentation globale Vss. De plus l'une ou l'autre de ces alimentations Vdd ou Vss peut être connectées à une masse, ce qui permet de réaliser un dispositif à une seule tension d'alimentation.

Le fonctionnement du circuit selon l'invention est le suivant.

Les signaux à régénérer bas et haut ainsi que leurs complémentaires sont introduits sur les entrées correspondantes de la paire d'amplificateurs push pull. Le signal en sortie de ces amplificateurs 12a, 12b a une amplitude supérieure à l'excursion de tension entre les niveaux logiques haut et bas. Grâce à cette amplitude plus élevée du signal, la commutation des transistors de la paire différentielle est plus rapide, ceci d'autant plus que l'amplificateur push pull dont l'impédance de sortie est faible est capable de fournir les courants transitoires brefs mais intenses requis par les transistors de la paire différentielle lors de la commutation.

Les bénéfices de la structure push-pull : faible impédance de sortie et possibilité de fourniture de courants transitoires élevés, se retrouvent alors cumulés avec les avantages des montages différentiels : stabilité et précision des niveaux logiques, forte réjection de la tension d'alimentation, forte réduction des parasites induits par le signal sur les alimentations Vdd et Vss, faible sensibilité à la dispersion technologique.

Le circuit décrit plus haut est utilisable avec avantage dans le domaine des dispositifs de télécommunication à grande vitesse. En particulier, ce circuit est apte à être utilisé dans un module d'émission reception de signaux pour fibres optiques, ce module comprenant un circuit de remise en forme des signaux et un circuit de multiplexage, incluant un tel circuit amplificateur différentiel.

## Revendications :

1. Circuit amplificateur différentiel régénérateur de signaux numériques complémentaires comportant une paire différentielle de transistors (T5, T6) ayant un premier (T5) et un second (T6) transistors de la paire différentielle, le premier transistor (T5) de la paire ayant une première entrée (1a) de contrôle et une première (8a) et une seconde (9a) électrodes, et le second transistor (T6) de la paire ayant une seconde entrée (1b) de contrôle et une première (8b) et une seconde (9b) électrodes, caractérisé en ce qu'il comporte en amont de la paire différentielle (T5, T6) une paire d'amplificateurs push pull (12a, 12b), composée d'un premier (12a) et d'un second (12b) amplificateurs push pull, ayant respectivement une première et une seconde entrées basses (Lb, L,) couplées respectivement à une source du signal d'entrée complémentaire et à une source du signal d'entrée, une première et une seconde entrées hautes (H, Hb) couplées respectivement à une source du signal d'entrée et à une source du signal d'entrée complémentaire, une première et une seconde sortie (13a, 13b), les première et seconde sorties (13a, 13b) de la paire d'amplificateurs push pull (12a, 12b) étant couplées respectivement aux première et seconde entrées (1a, 1b) de contrôle des premier et second transistors (T5, T6) de la paire différentielle.
2. Circuit amplificateur différentiel régénérateur de signaux numériques complémentaires, selon la revendication 1 caractérisé en ce que chaque amplificateur de la paire d'amplificateurs push pull (12a, 12b) comporte deux transistors (T1, T3 et T2, T4, respectivement) ayant chacun une entrée (L, Hb, Lb, H) de contrôle, ces entrées de contrôle constituant les première et seconde entrées basses (L, Lb), et les première et seconde entrées hautes (Hb, H) de la paire d'amplificateurs push pull (12a, 12b).
3. Circuit amplificateur différentiel régénérateur de signaux numériques complémentaires, selon la revendication 2 caractérisé en ce que les transistors (T5, T6) de la paire différentielle et les transistors (T1, T2, T3, T4) composant ensemble la paire d'amplificateurs push pull (12a, 12b) sont des transistors à effet de champ dont les première et seconde électrodes (15a, 15b ; 17a, 17b) sont des sources et des drains, les entrées de contrôle étant les grilles (Lb, L, H, Hb) de ces transistors (T1, T2, T3, T4), les drains (17a, 17b) des transistors hauts (T3, T4) de chacun des amplificateurs push pull (12a, 12b) de la paire d'amplificateurs push pull étant couplés à une première source de polarisation de drain (Vdd1), les drains (8a, 8b) des transistors (T5, T6) de la paire différentielle étant couplés à une seconde source de polarisation de drain (Vdd2), les sources (15a, 15b) des transistors bas (T1, T2) de chacun des amplificateurs push pull (12a, 12b) de la paire d'amplificateurs push pull étant couplées à une première source de

polarisation de source et les sources (9a, 9b) de chacun des transistors (T5, T6) de la paire différentielle étant couplées à une seconde source de polarisation de source.

#### 4. Circuit amplificateur différentiel régénérateur de signaux numériques

5 complémentaires, selon la revendication 3 caractérisé en ce que chacune des première et seconde polarisations de source est constituée d'un générateur de courant (11, 14) ou d'une impédance connecté(e) à une source de tension (Vss1, Vss2), respectivement.

#### 5. Circuit amplificateur différentiel régénérateur de signaux numériques

10 complémentaires, selon l'une des revendications 1 à 4 caractérisé en ce qu'il comporte en outre en amont de la paire d'amplificateur push pull (12a, 12b), un circuit (30) d'adaptation abaisseur d'impédance et délivrant à partir du signal d'entrée et d'un signal complémentaire dudit signal d'entrée des signaux complémentaires bas et hauts alimentant les entrées (Lb, L, H, Hb) basses et hautes de la paire d'amplificateurs push pull (12a, 15 12b).

#### 6. Circuit amplificateur différentiel régénérateur de signaux numériques

complémentaires, selon la revendication 5 caractérisé en ce que le circuit d'adaptation (30) comporte une paire suiveuse de transistors (T7, T8) ayant chacun une entrée (18a, 18b) de contrôle et des électrodes (19a, 23a, 19b, 23b), les entrées (18a, 18b) de contrôle des transistors (T7, T8) de la paire suiveuse recevant l'une le signal d'entrée et l'autre un signal complémentaire de ce signal, chaque transistor (T7, T8) de la paire suiveuse étant monté de façon à ce que l'une de ses électrodes (19a, 19b) porte un signal suiveur du signal reçu sur son entrée (18a, 18b), cette électrode (19a, 19b) étant couplée à une entrée de 20 moyens (Zs) de changement du niveau du signal présent sur cette électrode (19a, 19b), un signal présent sur une sortie (21a, 21b) de ces moyens (Zs) étant un signal de même 25 valeur logique que le signal présent sur ladite entrée desdits moyens (Zs) mais de potentiel de tension décalé, les entrées (L, Lb, H, Hb) basses et hautes de la paire d'amplificateurs push pull (12a, 12b) étant constituées par des nœuds de connexion se trouvant en entrée 30 (19a, 19b) et en sortie (21a, 21b) desdits moyens (Zs) de changement de niveau.

7. Circuit d'émission-transmission pour télécommunication, comprenant un circuit amplificateur selon l'une des revendications précédentes.

#### 8. Module d'émission pour transmission reception de signaux par fibres

35 optiques, comprenant un circuit de remise en forme des signaux, et un circuit de multiplexage, incluant un circuit amplificateur selon l'une des revendications 1 à 6.

**Abrégé**

Circuit amplificateur régénérateur de signaux numériques complémentaires comportant une paire différentielle de transistors (T5, T6) caractérisé en ce qu'il comporte en amont de la paire différentielle une paire d'amplificateurs push pull (12a, 12b)., composée d'un premier et d'un second amplificateurs push pull, ayant respectivement une première et une seconde entrée basse (L, Lb) couplée respectivement à une source du signal d'entrée et à une source du signal d'entrée complémentaire, une première et une seconde entrée haute (H, Hb) couplée respectivement à une source complémentaire du signal d'entrée et à une source du signal d'entrée, une première et une seconde sortie (13a, 13b), les première et seconde sorties (13a, 13b) de la paire d'amplificateurs push pull étant couplées respectivement à des première et seconde entrées de contrôle (1a, 1b) des premier et second transistors (T5, T6) de la paire différentielle.

Réf. : Figure 2



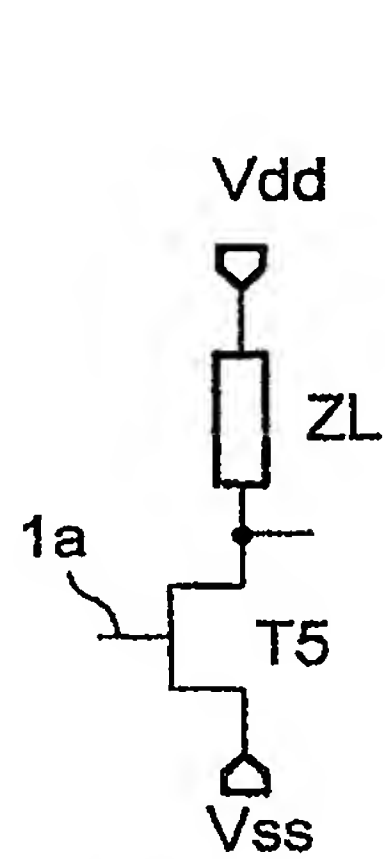


FIG. 1A

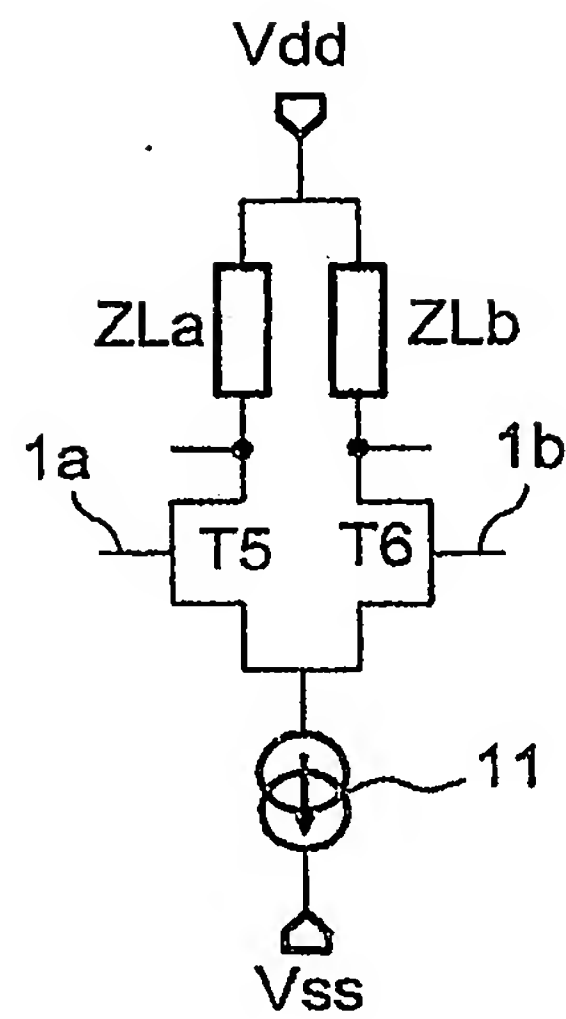


FIG. 1B

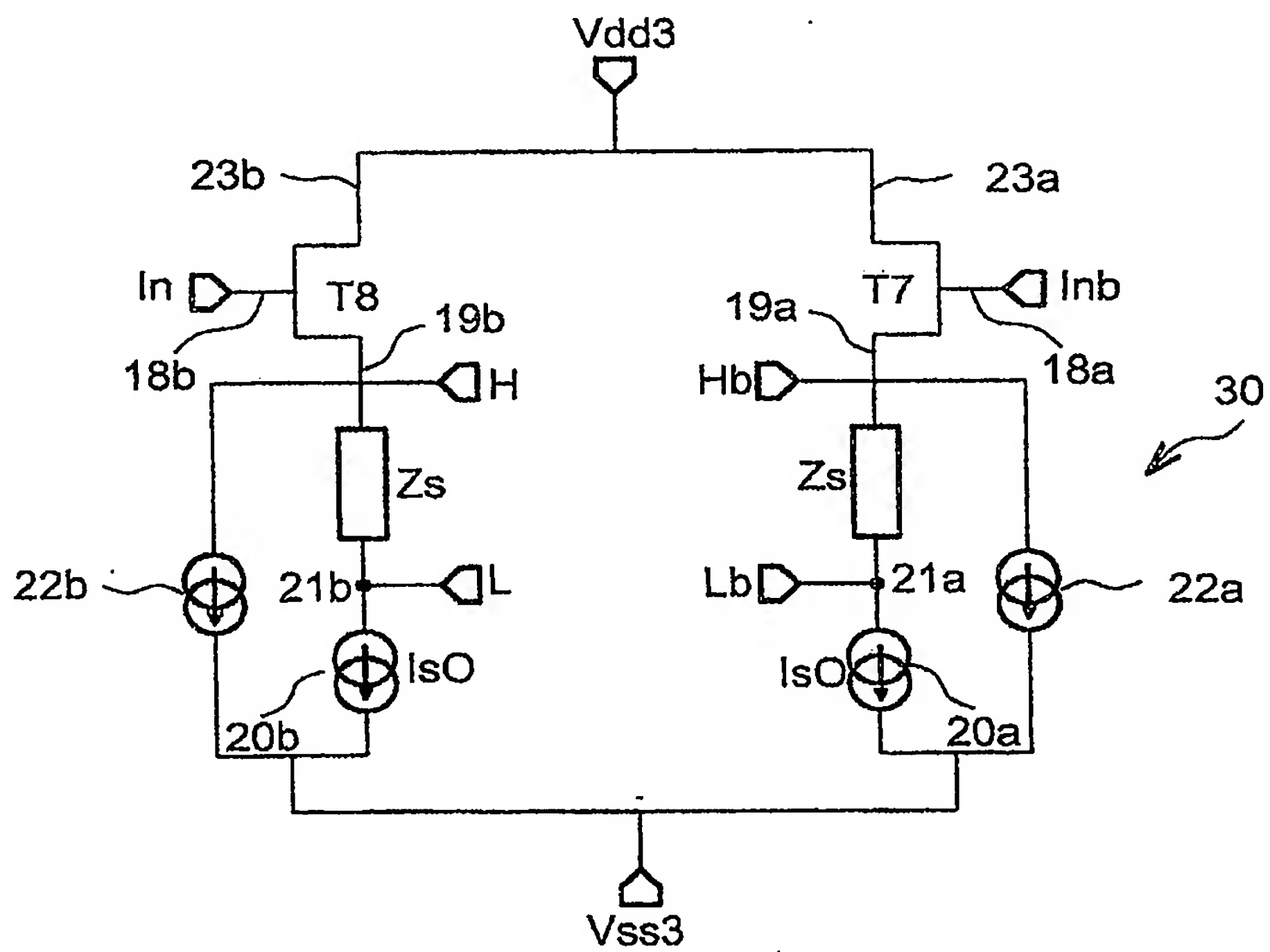


FIG. 3

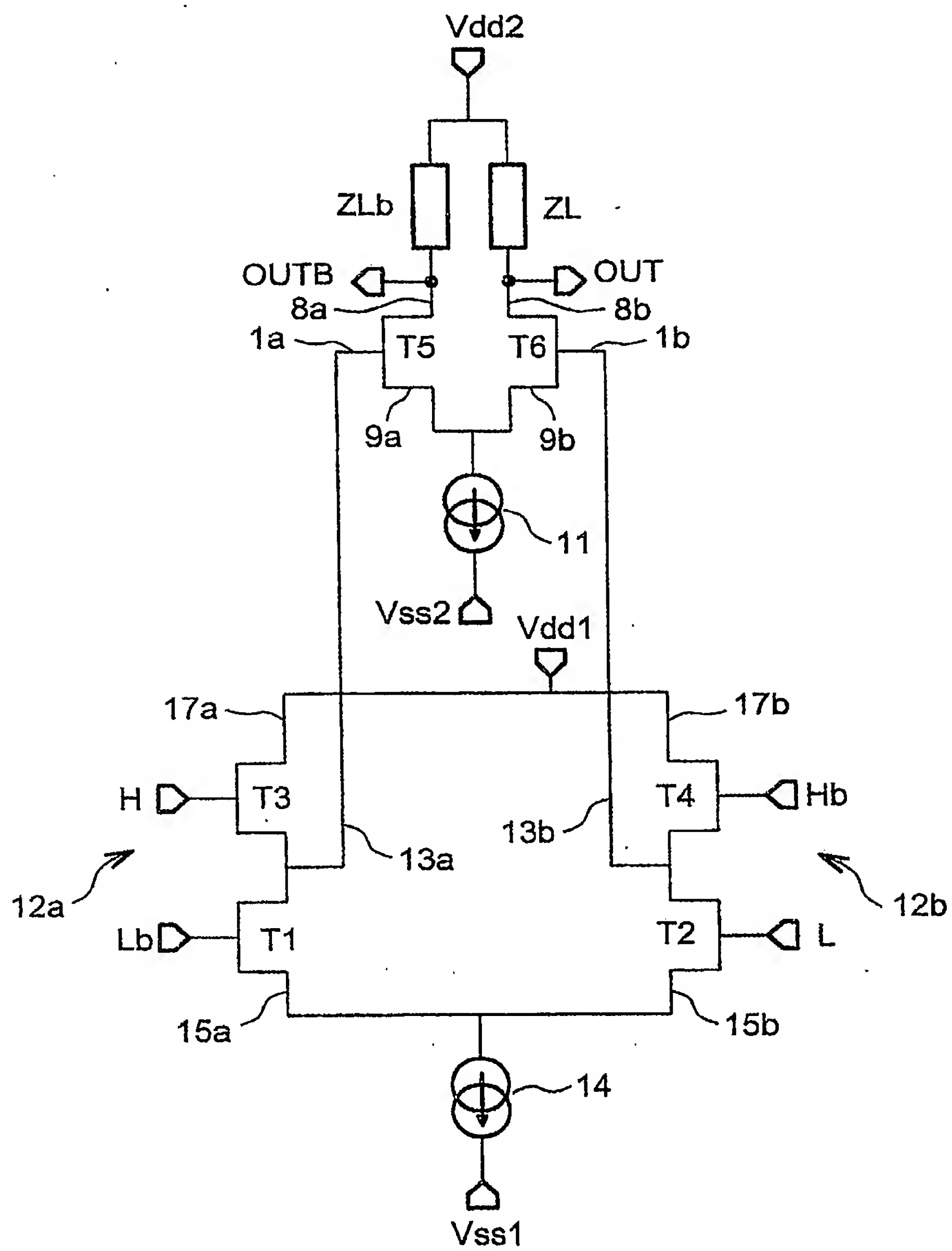


FIG. 2

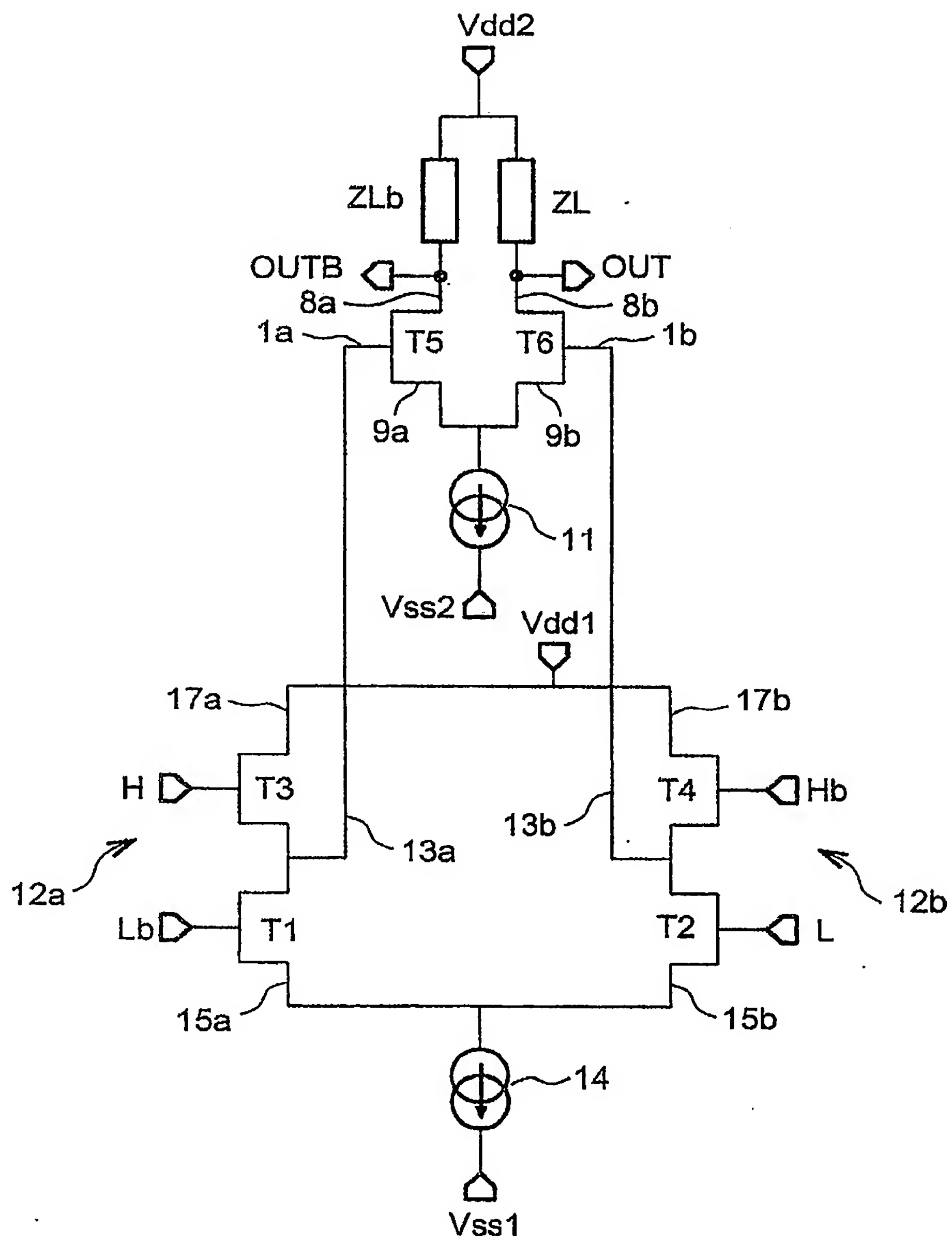


FIG. 2

## DO/US WORKSHEET

U.S. Appl. No. 10 / 500819

Internatio

Appl No. IB 02/005619Application filed by: ☐ 20 months ☒ 30 months

## INTERNATIONAL APPLICATION PAPERS IN THE APPLICATION FILE:

- |  |   |
|--|---|
| <input checked="" type="checkbox"/> International application (RECORD COPY)            | <input type="checkbox"/> Request form PCT/RO/101              |
| <input type="checkbox"/> Article 19 amendments   | <input type="checkbox"/> PCT/IB/302                           |
| <input type="checkbox"/> PCT/IB/331  | <input checked="" type="checkbox"/> PCT/ISA/210-Search Report |
| <input type="checkbox"/> PCT/IPEA/409 IPER (PCT/IPEA/416 on front)                     | <input type="checkbox"/> Search Report references             |
| <input type="checkbox"/> Annexes to 409  | <input checked="" type="checkbox"/> Other <u>306</u>          |
| <input checked="" type="checkbox"/> Priority document(s) No. _____                     |   |
| <input type="checkbox"/> INTERNATIONAL APPLICATION ON DOUBLE SIDED PAPER (COPIES MADE) |   |

## RECEIPTS FROM THE APPLICANT: (other than checked above)

- |   |  |
|---|--|
| <input checked="" type="checkbox"/> Basic National Fee (paid or authorized to charge) | <input checked="" type="checkbox"/> Preliminary amendment(s) filed   |
| Translation of international application as filed:                                    |  |
| <input checked="" type="checkbox"/> Description                                       |  |
| <input checked="" type="checkbox"/> Claims  |  |
| <input checked="" type="checkbox"/> Words in the drawing figure(s)                    |  |
| <input type="checkbox"/> Article 19 amendments  | <input checked="" type="checkbox"/> Information Disclosure Statement |
| <input type="checkbox"/> Annexes to 409   | <input type="checkbox"/> Assignment document                         |
| <input checked="" type="checkbox"/> Oath / Declaration                                | <input type="checkbox"/> Power of attorney/Change of address         |
| <input type="checkbox"/> DNA diskette   | <input type="checkbox"/> Substitute specification                    |
|   | <input type="checkbox"/> Verified small status claim                 |
|   | <input type="checkbox"/> Other _____                                 |

## Notes:

Use IA from IBNo data sheet filed

35 U.S.C. 371 - Receipt of Request (PTO-1390)

30 June 04

Date acceptable oath / declaration received

"

Date complete 35 U.S.C 371 requirements met

"

102(e) Date

"

Date of completion of DO/EO 906 - Notification of Missing 102(e) Requirements

Date of completion of DO/EO 907 - Notification of Acceptance for 102(e) date

Date of completion of DO/EO 911 - Application accepted under 35 U.S.C. 1.11

Date of completion of DO/EO 905 - Notification of Missing Requirements

Date of completion of DO/EO 916 - Notification of Defective Response

Date of completion of DO/EO 903 - Notification of Acceptance

08 Sep 07

Date of completion of DO/EO 909 - Notification of Abandonment

15 DEC 05

WIPO Publication

Publication No.

WO03/061122A2

Publication Date

24 July 03

Publication Language

English

Not Published

☐ U.S. only

Designated

☒ EP requestScreening done by: SA